

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

MENU

SEARCH

INDEX

DETAIL

BACK

NEXT

9/11



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07142490

(43)Date of publication of application: 02.06.1995

(51)Int.Cl.

H01L 21/321
H01L 21/60

(21)Application number: 05288548

(71)Applicant:

HITACHI LTD
HITACHI HOKKAI
SEMICONDUCTOR LTD

(22)Date of filing: 17.11.1993

(72)Inventor:

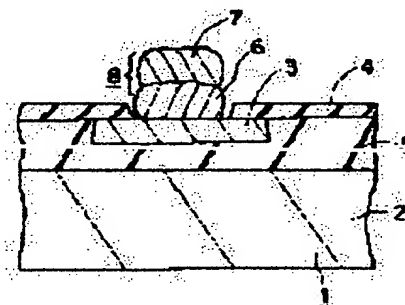
UDA TAKAYUKI
FUNAKI TSUKIO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To facilitate the fabrication while lowering the cost by providing a bump of metallic material on a bonding pad electrode provided on a semiconductor substrate on which a plurality of semiconductor elements are formed, and a brazing material region formed on the surface of the bump.

CONSTITUTION: The semiconductor integrated circuit comprises a semiconductor substrate 1 on which a plurality of semiconductor elements are formed, a bonding pad electrode 3 formed on the semiconductor substrate 1, a bump 6 of metallic material formed on the bonding pad electrode 3, and a brazing material region 7 formed on the surface of the bump 6. For example, the bonding pad electrode 3 is formed on the semiconductor substrate 1 on which a plurality of semiconductor substrates are formed and



THIS PAGE BLANK (USPTO)

then a ball of metallic material are thermocompressed thereon by ball bonding thus forming the bump 6.

Furthermore, a ball of a brazing material is thermocompressed onto the surface of the bumps 6 thus forming a brazing material region 7.

LEGAL STATUS

[Date of request for examination] 09.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[BACK](#)[NEXT](#)

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-142490

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321 21/60	3 1 1 S	6918-4M 9168-4M 9168-4M	H 0 1 L 21/ 92	C F
審査請求 未請求 請求項の数 4 O L (全 6 頁)				

(21) 出願番号 特願平5-288548

(22) 出願日 平成5年(1993)11月17日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 宇田 隆之

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 船木 月夫

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74) 代理人 弁理士 筒井 大和

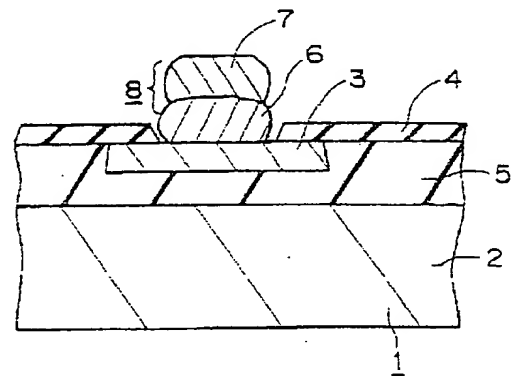
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(5) 【要約】

【目的】 製造が容易で安価な半導体集積回路装置を提供する。

【構成】 複数の半導体素子が形成されている半導体基板2上に設けられているボンディングパッド電極3に形成されている金属材料からなるパンプ電極6と、前記パンプ電極6表面に形成されているろう材領域7とをもって、フェースダウンボンディングができる突起電極8が構成されていることから、突起電極8の変形が前記パンプ電極6により一定の状態に保たれると共に、前記ろう材領域7によりフェースダウンボンディングされる回路基板などに対し、高性能な溶融接合ができるものとなる。

図 5



2 : 半導体基板
3 : ボンディングパッド電極
6 : パンプ電極

7 : ろう材領域
8 : 突起電極

【特許請求の範囲】

【請求項1】 複数の半導体素子が形成されている半導体基板と、
前記半導体基板上に形成されているボンディングパッド電極と、
前記ボンディングパッド電極に形成されている金属材料からなるバンパと、
前記バンパ表面に形成されているろう材領域とを有することを特徴とする半導体集積回路装置。

【請求項2】 複数の半導体素子が形成されている半導体基板と、
前記半導体基板上に形成されているボンディングパッド電極と、
前記ボンディングパッド電極に形成されている金属材料からなるバンパと、
前記バンパ表面に形成されているろう材領域と、
前記半導体基板が前記ろう材領域のろう材によって溶融接合している回路基板とを有することを特徴とする半導体集積回路装置。

【請求項3】 半導体基板に複数の半導体素子を形成する工程と、
前記半導体基板上に前記半導体素子と電気的に接続されているボンディングパッド電極を形成する工程と、
前記ボンディングパッド電極上にボールボンディングにより金属材料からなるボールを圧着してバンパを形成する工程と、
前記バンパ表面にボールボンディングによりろう材からなるボールを圧着してろう材領域を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 半導体基板に複数の半導体素子を形成する工程と、
前記半導体基板上に前記半導体素子と電気的に接続されているボンディングパッド電極を形成する工程と、
前記ボンディングパッド電極上にボールボンディングにより金属材料からなるボールを圧着してバンパを形成する工程と、
前記半導体基板を電気検査用基板にろう材を介して溶融接合して電気検査を行う工程と、
前記半導体基板における前記バンパ表面に前記電気検査を行った際に形成されている前記ろう材表面にボールボンディングによりろう材からなるボールを圧着してろう材領域を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置およびその製造方法に関し、特に、フリップチップボンディング法により回路基板に溶融接合する半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】 半導体集積回路装置は、プリント基板などの回路基板に組み込まれて種々の用途に使用されている。

【0003】 半導体集積回路装置を前記回路基板に接続するには、フリップチップボンディング法によるものがあり、その場合には、はんだバンパとその下地メタライズBLMをウエハプロセスで形成している。

【0004】

【発明が解決しようとする課題】 しかしながら、前記フリップチップボンディング法を採用している半導体集積回路装置の製造方法は、半導体基板上のボンディングパッド電極上に、CCB電極としてのはんだバンパとその下地メタライズBLM (Ball Limiting Metallization) をウエハプロセスで形成する必要があるため、ワイヤボンディング法に比べて製造工程が複雑でしかも多くの製造工程を必要とし、製造コストが高くなるという欠点があることを本発明者が見出した。

【0005】 また、前記フリップチップボンディング法を採用している半導体集積回路装置の製造方法は、プローブ検査前のウエハ工程においてははんだバンパを形成するものであるため、プローブ検査または製品の信頼度検査などの電気検査工程において不良が発生し、製品が不良品として不使用な物となった場合でもはんだバンパとその下地メタライズBLMが形成されていることより、それらの材料が無駄となることが多くなり、結果的に製造コストが高くなるという欠点があることを本発明者が見出した。

【0006】 さらにまた、はんだバンパを使用しているCCB電極ではなく、ボンディングパッド電極にワイヤボンディング法を用いてMCN (Multi Chip Modul) を形成すると、裸チップ状態でのエージングが必要となり、この場合にはテスト用ソケットを使用する必要があり、そのテスト用ソケットが高価であるため、結果的にテスト費用が高く、いまだ安価な方法が確立していないという欠点があることを本発明者が見出した。

【0007】 本発明の1つの目的は、製造が容易で安価な半導体集積回路装置を提供することにある。

【0008】 本発明の他の目的は、容易で安価に製造できる半導体集積回路装置の製造技術を提供することにある。

【0009】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を説明すれば、以下のとおりである。

【0011】 請求項1記載の発明は、複数の半導体素子が形成されている半導体基板上に設けられているボンディングパッド電極に形成されている金属材料からなるバ

ンプと、前記バンプ表面に形成されているろう材領域とを有するものである。

【0012】

【作用】上記した手段によれば、前記半導体基板上に設けられている前記ボンディングパッド電極に形成されている金属材料からなるバンプと、前記バンプ表面に形成されている前記ろう材領域とをもって、フエースダウンボンディングができる突起電極が構成されていることから、突起電極の変形が前記バンプにより一定の状態に保たれると共に、前記ろう材領域によりフエースダウンボンディングされる回路基板などに対し、高性能な溶融接合ができるものとなる。

【0013】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。なお、実施例を説明するための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【0014】（実施例1）図1～図5は、本発明の一実施例である半導体集積回路装置およびその製造工程を示す図であり、図1は斜視図、図2～図5は断面図である。同図を用いて、本発明の半導体集積回路装置およびその具体的な製造方法について説明する。

【0015】図1に示すものは、プローブ検査に合格した良品の半導体集積回路装置（以下、ICと略称する）チップ1である。

【0016】前記ICチップ1を製作するには、例えばp型のシリコン単結晶からなる半導体基板2に電界効果型トランジスタであるMOSFETなどの半導体素子を複数個形成すると共にそれらの外部端子であるボンディングパッド電極3を形成する。すなわち、半導体基板2の表面に酸化シリコンからなる素子分離用のフィールド絶縁膜を形成する。

【0017】次に、半導体基板2表面のフィールド絶縁膜によって囲まれた活性領域に酸化シリコンからなるゲート絶縁膜を形成し、このゲート絶縁膜上に多結晶シリコンからなるゲート電極を形成する。ゲート電極は、半導体基板2上に多結晶シリコンおよび酸化シリコンからなる絶縁膜を順次堆積し、これらを順次エッチングして形成する。

【0018】次に、前記ゲート電極の側壁に酸化シリコンからなるサイドウォール絶縁膜を形成する。その後、前記ゲート電極上の前記絶縁膜、それに前記サイドウォール絶縁膜をマスクにして、半導体基板2にn型不純物をイオン注入してソース、ドレインとなるn型半導体領域を形成する。

【0019】次に、半導体基板2上にアルミニウム合金膜を形成した後、フォトリソエッチング技術を用いて不要な領域のアルミニウム合金膜を取り除いて、電気配線膜およびそれらの外部端子となるボンディングパッド電極3を形成する。前記電気配線膜の材料は、アルミニウム合

金膜以外に、多結晶シリコンや多結晶シリコンと高融点シリサイド膜との積層膜などという電気導電性のあるものならばどのような組み合わせでもよい。

【0020】次に、半導体基板1上にCVD法により窒化シリコンなどからなるパッシベーション膜4を形成した後、前記パッシベーション膜4をフォトリソエッチング技術を用いて選択的に除去して前記ボンディングパッド電極3の表面を露出させる。

【0021】次に、ウェハ状態の前記半導体基板2における各ICにプローブ検査を行って、良品のICと不良品のICとを識別する。次に、ダイシング作業を行ってウェハ状態のICを分割して個別のICチップ1にし、プローブ検査工程によって識別されている不良品のICチップを取り除いて、良品のICチップ1のみを次に述べる工程に移す。

【0022】次に、図2に示すように、前記ICチップ1におけるアルミニウム合金からなる各ボンディングパッド電極3に、ボールボンディング法により金（Au）ボールを圧着させ、バンプ電極6を形成する。なお、図2における符号5は、前述したICチップにおけるフィールド絶縁膜などを含む絶縁膜を示すものである。

【0023】すなわち、前記ICチップ1におけるアルミニウム合金からなる各ボンディングパッド電極3に、前記アルミニウム合金と圧着接合し後述するろう材と融合接合する第1の金属、たとえば金（Au）を素材とするボンディングワイヤを使用して超音波ワイヤボンディング法により圧着した後、前記金（Au）ボンディングワイヤを接合部の根元近くで切断する。

【0024】前記第1の金属としては、金（Au）の他に銅（Cu）などを使用することができ、銅（Cu）を素材とするボンディングワイヤを用いたボールボンディング法を採用することができる。

【0025】また、前記ボールボンディング法としては、圧力と超音波エネルギーを加えて行う超音波ワイヤボンディング法だけではなく、圧力と熱と超音波振動とを利用して行う超音波併用熱圧着ワイヤボンディング法、圧力と熱を利用して行う熱圧着ワイヤボンディング法など種々の態様のものを使用することができる。

【0026】さらに、前記ボールボンディングの方法としては、特開昭63-301525、特開昭63-168036、特開昭63-168037、特開昭64-37039および特開昭63-168031号各公報などに開示してあるものを採用することができる。

【0027】次に、図3に示すように、前記バンプ電極6におけるボンディングワイヤの切断部の突起を、ワイヤボンダのキャピラリの先端部などで押しつぶして平坦化し、表面が平坦となっているバンプ電極6を形成する。

【0028】次に、図4に示すように、前記ICチップ1における各バンプ電極6に、ボールボンディング法に

よりろう材を圧着させ、ろう材領域7を形成する。すなわち、ボールボンディング法により前記第1の金属と溶融接合するろう材である第2の金属、たとえば鉛（Pb）とスズ（Sn）との合金であるはんだを素材とするボンディングワイヤを使用してろう材領域7を形成する。

【0029】すなわち、前記金（Au）ボンディングワイヤから形成した前記パンプ電極6にろう材であるはんだを素材とするボンディングワイヤを使用して超音波ワイヤボンディング法により圧着した後、前記はんだボンディングワイヤを接合部の根元近くで切断する。

【0030】前記第2の金属としては、鉛（Pb）とスズ（Sn）との合金であるはんだの他にインジウム（In）とスズ（Sn）との合金、スズ（Sn）と銀（Ag）との合金、金（Au）とスズ（Sn）との合金などからなるろう材を使用することができる。

【0031】次に、図5に示すように、前記ろう材領域7におけるボンディングワイヤの切断部の突起を、ワイヤボンダのキャピラリの先端部などで押しつぶして平坦化し、表面が平坦となっているろう材領域7を形成する。

【0032】前述した工程により、フェースダウンボンディングができるフリップチップ用表面電極形状を有する突起電極8を、前記半導体基板2上のボンディングパッド電極3表面に、前記半導体基板2表面から突出した形状の電極として設けることができる。

【0033】（実施例2）前述した実施例1においては、ICチップ1を製造してから、突起電極を製造する製造方法である。

【0034】本実施例においては、ダイシング工程前のウェハ処理工程段階、つまり各ICチップ1に前記半導体基板2を分割する以前のウェハ状態の半導体基板2を用いて、突起電極8を形成するものである。

【0035】ウェハ状態の半導体基板2上のボンディングパッド電極3上に、図2～図5を用いて説明した実施例1における製造工程を行うことにより、図5に示すような突起電極8を形成するものである。

【0036】（実施例3）本実施例は、前記突起電極8における前記ろう材領域7の形成にあたって、製品の電気検査工程であるバーンイン工程において使用するバーンイン基板によりろう材を前記パンプ電極6に溶融接合することにより行うものである。なお、前記バーンイン基板は、バーンインボードとも称されており、バーンインチャンバ内に多数個の被試験デバイスを収納するためのボードである。

【0037】すなわち、図6に示すように、図3に示しているICチップ1におけるパンプ電極6をバーンイン基板9に乗せ、それらをマウントリフローにより、バーンイン基板9における前記パンプ電極6の搭載領域に設けられているろう材を溶融することによって、前記パンプ

ブ電極6に前記ろう材を接合させる。

【0038】本実施例においては、この状態でICチップ1にバーンイン処理、電気特性検査を行うことができる効果がある。

【0039】次に、図7に示すように、前記電気特性検査工程において合格したICチップ1をバーンイン基板9から熱を加えてはがし、前記パンプ電極6に溶着されているろう材をレベルリング処理によって取り除く。

【0040】次に、図8に示すように、ボールボンディング法により、第1の金属と溶融接合するろう材である第2の金属、たとえば鉛（Pb）とスズ（Sn）との合金であるはんだを素材とするボンディングワイヤを使用してろう材領域7を形成する。

【0041】すなわち、前記金（Au）ボンディングワイヤから形成した前記パンプ電極6にろう材であるはんだを素材とするボンディングワイヤを使用して超音波ワイヤボンディングにより圧着し前記はんだボンディングワイヤを接合部の根元近くで切断する。

【0042】次に、前記ICチップ1における各パンプ電極6に、ボールボンディング法によりろう材を圧着させ、ろう材領域7を形成する。すなわち、ボールボンディング法により前記第1の金属と溶融接合するろう材である第2の金属、たとえば鉛（Pb）とスズ（Sn）との合金であるはんだを素材とするボンディングワイヤを使用してろう材領域7を形成する。

【0043】すなわち、前記金（Au）ボンディングワイヤから形成した前記パンプ電極6にろう材であるはんだを素材とするボンディングワイヤを使用して超音波ワイヤボンディング法により圧着した後、前記はんだボンディングワイヤを接合部の根元近くで切断する。

【0044】前記第2の金属としては、鉛（Pb）とスズ（Sn）との合金であるはんだの他にインジウム（In）とスズ（Sn）との合金、スズ（Sn）と銀（Ag）との合金、金（Au）とスズ（Sn）との合金などからなるろう材を使用することができる。

【0045】次に、前記ろう材領域7におけるボンディングワイヤの切断部の突起を、ワイヤボンダのキャピラリの先端部などで押しつぶして平坦化し、表面が平坦となっているろう材領域7を形成する。

【0046】前述した工程により、フェースダウンボンディングができるフリップチップ用表面電極形状を有する突起電極8を、前記半導体基板2上のボンディングパッド電極3表面に、前記半導体基板2表面から突出した形状の電極として設けることができる。

【0047】本実施例においては、前記電気特性検査工程において合格したICチップ1をバーンイン基板7から熱を加えてはがし、前記パンプ電極6に溶着されているろう材をレベルリング処理によって取り除く際に、前記パンプ電極6表面に薄膜のろう材との融合領域ができているために、その後この表面に設けるろう材領域7と

前記バンプ電極6との接着性が良好となる効果がある。

【0048】次に、図9に示すように、前記ICチップ1を回路基板の一種であるパッケージ基板10に搭載し、熱処理の一種であるマウントリフローにより固着・固定する。

【0049】他の実施例としては、前記工程で形成したろう材領域7は、ICチップ1上にあらかじめ設けておく必要がなく、前記パッケージ基板10などの回路基板の電気配線表面に形成しておく態様とし、それに前記ICチップ1を登載し、ろう材を前記ICチップ1におけるバンプ電極6に溶融接合することもできる。

【0050】本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。具体的には、配線遅延がクリティカルパスあるいはレーシングを生じる可能性のある配線を同一電気配線膜段階によって構成することができる多層配線構造の半導体集積回路装置の態様に適用できる。また、配線幅の異なる配線を自動的に生成する手段を有することにより、配線遅延の制御を容易にできる半導体集積回路装置の態様に適用できる。

【0051】

【発明の効果】本願によって開示された発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0052】本発明によれば、複数の半導体素子が形成されている半導体基板上に設けられているボンディングパッド電極に形成されている金属材料からなるバンプと、前記バンプ表面に形成されている前記ろう材領域とをもって、フェースダウンボンディングができる突起電極が構成されていることから、突起電極の変形が前記バンプにより一定の状態に保たれると共に、前記ろう材領域によりフェースダウンボンディングされる回路基板などに対し、高性能な溶融接合ができる。

【0053】また、本発明によれば、前述した構成をとっていることより、高性能で簡単な製造技術を用いて安価に製作できる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の製造工程を示す斜視図である。

【図2】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図3】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図4】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図5】本発明の一実施例である半導体集積回路装置の製造工程を示す断面図である。

【図6】本発明の他の実施例である半導体集積回路装置の製造工程を示す側面図である。

【図7】本発明の他の実施例である半導体集積回路装置の製造工程を示す側面図である。

【図8】本発明の他の実施例である半導体集積回路装置の製造工程を示す側面図である。

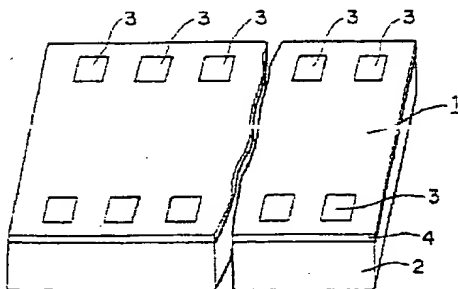
【図9】本発明の他の実施例である半導体集積回路装置の製造工程を示す斜視図である。

符号の説明

- 1 IC（半導体集積回路装置）チップ
- 2 半導体基板
- 3 ボンディングパッド電極
- 4 パシベーション膜
- 5 絶縁膜
- 6 バンプ電極
- 7 ろう材領域
- 8 突起電極
- 9 パーイン基板
- 10 パッケージ基板

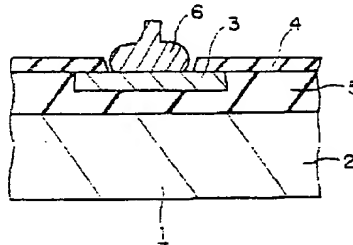
【図1】

図 1



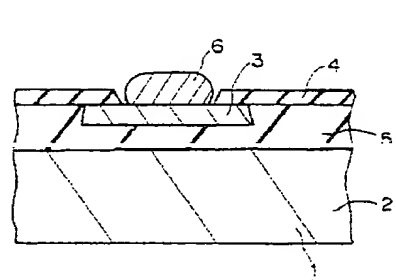
【図2】

図 2

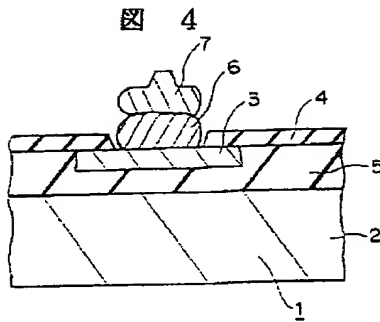


【図3】

図 3

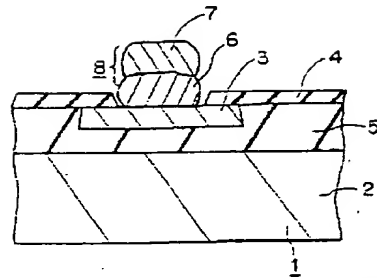


【図4】



【図5】

図 5



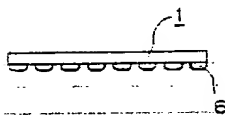
【図6】

図 6



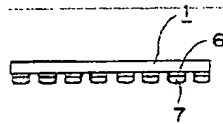
【図7】

図 7



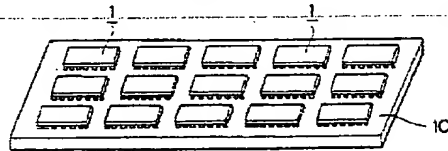
【図8】

図 8



【図9】

図 9



2 : 半導体基板
3 : ボンディングパッド電極
6 : パンプ電極
7 : ろう材領域
8 : 突起電極